

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-036405  
 (43)Date of publication of application : 07.02.1995

(51)Int.CI. G09G 3/20

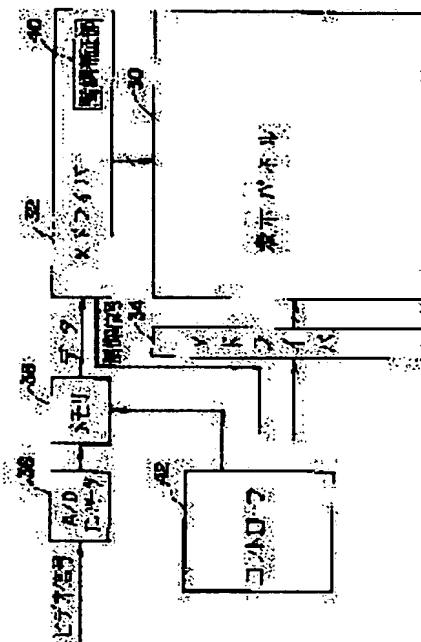
(21)Application number : 05-178323 (71)Applicant : PIONEER ELECTRON CORP  
 (22)Date of filing : 19.07.1993 (72)Inventor : SAKAMOTO MITSUNAO

## (54) GRADATION CORRECTION SYSTEM FOR DISPLAY DEVICE

## (57)Abstract:

**PURPOSE:** To properly execute gamma correction by allowing a modulation means to perform nonlinear gradation correction from a digital video signal to a gradation signal.

**CONSTITUTION:** A display panel 30 is driven by an X driver 32 and a Y driver 34. On the other hand, a video signal is supplied to a memory 38 through an A/D converter 36, and the data from the memory 38 are supplied to the X driver 32. Then, a gradation correction part 40 is provided in the X driver 32, and by the gradation correction part 40, the gradation correction is performed when the digital video signal is converted to the gradation signal by the modulation means in the X driver 32. Further, the X driver 32, the Y driver 34 and the memory 38 are controlled by a controller 42. That is, in such a case, when PWM(pulse width modulation) and PDM(pulse density modulation) are performed to the data of the digital video signal, the modulation is performed so as to have a required gamma characteristic.



## LEGAL STATUS

[Date of request for examination] 19.05.2000

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3444926

[Date of registration] 27.06.2003

[Number of appeal against examiner's decision of rejection] 2003-00043

[Date of requesting appeal against examiner's decision of rejection] 06.01.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The gradation amendment method of the display characterized by including a modulation means to output a gradation signal according to the digital video signal inputted, the display panel which displays based on the gradation signal from this modulation means, and a gradation amendment means to make the nonlinear gradation amendment to a gradation signal from a digital video signal perform to said modulation means.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the gradation amendment method of a display.

[0002]

[Description of the Prior Art] The outline configuration of the conventional display is shown in drawing 10. In drawing 10, a sign 10 shows a display panel and drives this display panel 10 by the X driver 12 and the Y driver 14. On the other hand, a video signal is supplied to memory 20 through A/D converter 16 and the gradation amendment section 18, and the data from this memory 20 are supplied to the X driver 12. In addition, the X driver 12, the Y driver 14, and memory 20 are controlled by the controller 22.

[0003]

[Problem(s) to be Solved by the Invention] In drawing 10, since the gradation amendment section 18 had given gamma amendment directly to the digital video signal, it had the following problems.

[0004] \*\* The effectual number of gradation decreases sharply. For example, an output side becomes 183 gradation when an input side is 256 gradation.

\*\* For example, when the property of the original input signal is linear, black gradation will be crushed by the signal after amendment.

[0005] In addition, when gamma amendment is given to the video signal of an analog, there are the following problems.

\*\* Adjustment of the amount of amendments is difficult.

\*\* There is no repeatability.

[0006] \*\* There is aging. That is, an amendment curve changes.

Then, the purpose of this invention is to offer the gradation amendment method of the display which can perform gamma amendment appropriately.

[0007]

[Means for Solving the Problem] This invention is [0008] characterized by including a modulation means to output a gradation signal according to the digital video signal inputted, the display panel which displays based on the gradation signal from this modulation means, and a gradation amendment means to make the nonlinear gradation amendment to a gradation signal from a digital video signal perform to said modulation means.

[Function] Although gamma amendment was performed by carrying out direct conversion of the data of a digital video signal by the conventional gradation amendment method, in case PWM (Pulse Density Modulation) and PDM (Pulse Density Modulation) are performed to the data of a digital video signal, it becomes irregular by the gradation amendment method by this invention so that it may have desired gamma characteristics.

[0009] By this gradation amendment method, it is reset by the synchronizing signal and has the circuit of the property (that is, it is nonlinear) that the pulse number which enters after that, and the value outputted do not change linearly. In a modulation circuit, the output value and gradation indicative data (video signal) of a circuit of this nonlinear property are compared, the signal of PWM or PDM is created, and a display panel is driven.

[0010] According to the gradation amendment method by this invention, the following advantage is mentioned.

\*\* Since it is a digital circuit, there is no aging.

\*\* Adjustment of the amount of amendments is easy.

[0011] \*\* It is possible to use the number of gradation of an input effectively almost altogether.

Therefore, when a video signal is inputted, like the display of PURAUN tubing, it can amend so that it may

become close to gamma= 1 by synthesis about the display of a screen, and an image more faithful to a photographic subject can be reproduced.

[0012]

[Example] Hereafter, the suitable example of this invention is explained based on a drawing. The outline configuration of the display by the principle of this invention is shown in drawing 1.

[0013] In drawing 1, a sign 30 shows a display panel and drives this display panel 30 by the X driver 32 and the Y driver 34. On the other hand, a video signal is supplied to memory 38 through A/D converter 36, and the data from this memory 38 are supplied to the X driver 32. The gradation amendment section 40 is formed in the X driver 32, and this gradation amendment section 40 performs gradation amendment, in case the modulation means in the X driver 32 (not shown) changes a digital video signal into a gradation signal. In addition, the X driver 32, the Y driver 34, and memory 38 are controlled by the controller 42.

[0014] The circuitry of the display by the principle of this invention is shown in drawing 2. In drawing 2, a video signal is supplied to the shift register 38 as memory through A/D converter 36, and this shift register 38 includes two or more flip-flop circuits (it is called Following FF) 44-44. The signal from FFs 44-44 in a shift register 38 is supplied to the PWM modulators 48-48 through FFs 46-46 within the X driver 40. The signal (analog signal which shows the pulse width corresponding to brightness data) from the PWM modulators 48-48 A signal electrode A0, A1, A2, A3, and -- are supplied. On the other hand, the signal from FFs 50-50 in the Y driver 34 The scan electrode K0, K1, K2, K3, and -- are supplied, and the matrix of a display panel 30 is constituted by these signal electrodes A0, A1, A2, A3, -- and the scan electrode K0, K1, K2, K3, and --. In the display panel 30, light emitting devices 52-52 are connected with a signal electrode A0, A1, A2, A3, and -- at a signal electrode A0, A1, A2, A3, -- and the scan electrode K0, K1, K2, K3, and -- in the scan electrode K0, K1, K2, K3, and an intersection part with --.

[0015] The timing generator 42 as a controller outputs reception, Signals SCLK, LCLK, and FPUL, and FCLK for a Horizontal Synchronizing signal and a Vertical Synchronizing signal. Signal SCLK is supplied to FFs 44-44 in A/D converter 36 and a shift register 38, Signal LCLK is supplied to FFs 46-46 in the X driver 40, and Signals FPUL and FCLK are supplied to FFs 50-50 in the Y driver 34.

[0016] While Horizontal Synchronizing signal H-H is supplied, the control signals 54-54 from the gradation amendment section 40 (refer to drawing 1) are supplied to the PWM modulators 48-48 in said X driver 40. This gradation amendment section 40 is the amendment section for gamma amendment.

[0017] The timing chart of the indicating equipment of drawing 2 is shown in drawing 3. If the timing chart of X driver of drawing 3 (A) is explained, whenever it will carry out A/D conversion of the video signal and will sample it by A/D converter 36, the sequential shift of the data DAT A by which A/D conversion was carried out is carried out by Signal SCLK at FFs 44-44 in a shift register 38. And if all data DAT A of a 1 level period period is sent to FFs 44-44, the data in FF 44-44 will be supplied to the PWM modulators 48-48 through FFs 46-46 in the X driver 32 by Signal LCLK. The PWM modulators 48-48 carry out the PWM modulation of the sent data, and output the pulse of the die length corresponding to data to a signal electrode A0, A1, A2, A3, and --.

[0018] If the timing chart of Y driver of drawing 3 (B) is explained, it will be set to 1-time "High" level at a perpendicular period period, the sequential transfer of the pulse of Signal FPUL will be carried out by Signal FCLK at the scan electrode (Rhine) K0, K1, K2, K3, and --, and Signal FPUL will go. And when a scan line Kn (n= 0, 3 [ 1, 2 and 3 ], --) is "High" level, the Rhine Kn will light up. In addition, Signal FCLK outputs a pulse to a 1 level period period once, and Signal FPUL outputs a pulse to a 1 perpendicular period period once.

[0019] In drawing 4, X driver of the indicating equipment of drawing 2 is shown, and as explained in relation to drawing 2, the PWM modulators 48-48 are controlled by the control signal 54 from the gradation amendment section 40. Hereafter, the gradation amendment section 40 is explained in full detail.

[0020] The circuitry of the gradation amendment section by the 1st example of this invention is shown in drawing 5. In drawing 5, the gradation amendment section 40 contains a counter (56), a selector 58, counter B (60), comparator A (62), comparator B (64), Comparator C (66), latch A (68), latch B (70), Latch C (72), and an OR gate (74). In addition, the gradation amendment section 40 operates considering one period of horizontal synchronizing pulse HPULSC as 1 display period of a circuit. Moreover, the number of display gradation is 8 bits (256 gradation), and a master clock uses a 256x5 times as many clock as the display period. Thus, advanced gradation amendment is so possible that a clock is made into a high speed.

[0021] Counter A (56) supplies signal 1/2CLK, 1/3CLK, 1/5CLK, and 1/9CLK to the input terminals A, B, C, and D of a selector 58, respectively. A selector 58 The sect terminal SEL0, SEL1, and SEL2 According to a condition, any one signal is outputted from an output terminal OUT among signal 1/2CLK, 1/3CLK, 1/5CLK, and 1/9CLK. The relation between the input of this selector 58 and an output is shown in drawing

6 , and they are the selection terminal SEL0, SEL1, and SEL2. That it is "L" level altogether from an output terminal OUT Signal 1/2CLK of an input terminal A is outputted, and they are the selection terminal SEL0, SEL1, and SEL2. If set to "H" level one by one, from an output terminal OUT, the sequential output of signal 1/3CLK of input terminals B, C, and D, 1/5CLK, and the 1/9CLK will be carried out.

[0022] The output from the output terminal OUT of a selector 58 is supplied to EN terminal of counter B (60) while it is supplied to the synchronous CLR terminal of counter A (56) through OR gate 74. The output from Q terminal of counter B (60) is supplied to comparator A (62), comparator B (64), and Comparator C (66) while it is supplied to the PWM modulators 48-48 as a control signal 54. Data A, B, and C are supplied to comparators 62, 64, and 66 as a reference signal for a comparison, respectively, and they are data A= 60, data B= 110, and data C= 170 here. The comparison output from comparators 62, 64, and 66 is supplied to the set terminal S of latch A (68), latch B (70), and Latch C (72), respectively, and the outputs SIGA, SIGB, and SIGC from these latches 68, 70, and 72 are the selection terminal SEL0 of said selector 58, SEL1, and SEL2, respectively. It is supplied.

[0023] An operation of the gradation amendment section of above-mentioned drawing 5 is explained referring to the timing chart of drawing 7 . First, if horizontal synchronizing pulse HPULSE is set to "H" level, counter A (56), counter B (60), latch A (68), latch B (70), and Latch C (72) will be reset at the beginning of 1 display period (initialization). Thereby, latches' 68, 70, and 72 outputs SIGA, SIGB, and SIGC are altogether set to "L" level, and clock signal 1/2CLK is outputted from the output OUT from a selector 58 (refer to drawing 6 ). Since this clock signal 1/2CLK is a signal set to 1 time "H" level about two clocks of a master clock Master clock, counter B (60) will be counted up once on two clocks of a master clock Master clock. The count output (0, 0, 1, 1, 2, 2, --59, 59, 60, 60) count out from this counter B (60) is supplied to comparators 62, 64, and 66 while it is supplied to the PWM modulators 48-48 as a control signal 54.

[0024] Count output count out from counter B (60) If in agreement with Data A (= 60), the output of a comparator 62 will be set to "H" level, and further, if a master clock Master clock is set to "H" level, the output SIGA of latch A (68) will be set to "H" level. Since clock signal 1/3CLK is outputted instead of clock signal 1/2CLK from the output OUT of a selector 58 (refer to drawing 6 ) and counter B (60) counts this clock signal 1/3CLK by this, it is the count output count out from counter B (60). It becomes like 61, 61, 61, 62, 62, 62, and --.

[0025] It is the count output count out from counter B (60) by lengthening one period of the clock signal from the output OUT of a selector 58 one by one as mentioned above, lengthening the counting interval of counter B (60), and going. That is, a nonlinear property can be given to the control signal 54 to the PWM modulators 48-48.

[0026] In addition, the graph of the modulation characteristic by the gradation amendment section of the 1st example of the above is shown in drawing 8 . This drawing 8 shows the example of a design in the case of driving the light emitting device from which brightness changes to a linear to pulse width.

[0027] In drawing 8 , the ideal modulation characteristic is shown by the sign 76, and according to the gradation amendment section of the 1st example, an output value In the range of input values 0-60, it approximates in the straight line fs 1/2 based on clock signal 1/2CLK, and in the range of input values 61-110, it approximates in the straight line fs 1/3 based on clock signal 1/3CLK, and approximates similarly hereafter by the straight line fs 1/5 and fs 1/9.

[0028] Since the desired modulation characteristic can be acquired by changing the division ratio of a clock signal according to the gradation amendment section of the above example [ 1st ], the data to set up have the advantage that a circuit scale is small, few.

[0029] Next, the gradation amendment section by the 2nd example of this invention is shown in drawing 9 . In the circuitry of drawing 9 (A), Horizontal Synchronizing signal HPULSE for reset and the clock signal CLK for a count are supplied to 12 bit counters 78, and the count output from this counter 78 is supplied to memory 80, and supplies memory 78 to the PWM modulators 48-48 by making the value according to this count output into a control signal 54. That is, memory 80 has the translation table shown in drawing 9 (B), and will output the value of the translation table corresponding to the count output (namely, memory input) from a counter 78 as a control signal 54.

[0030] A control signal 54 is made to output from the translation table of memory (ROM or RAM) 80 based on the output data of a counter 78, and the output data from the PWM modulators 48-48 are controlled by the gradation amendment section of the above example [ 2nd ] based on this control signal 54. In this case, the number of bits of a counter 78 is 12 bits, since [ than the number of bits (8 bits) of a gradation indicative data ] more, will change by the memory 80 of the small number of bits (8 bits) based on the output of the counter 78 of the many numbers of bits (12 bits), and, thereby, can set up many data finely. Consequently,

the modulation characteristic by the gradation amendment section can be brought close to the ideal modulation characteristic 76 of drawing 8.

[0031]

[Effect of the Invention] Since the nonlinear gradation amendment to the gradation signal from a digital video signal is made to perform to a modulation means as explained above according to this invention, gamma amendment can be performed appropriately.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram of the display by the principle of this invention.

[Drawing 2] It is the circuitry Fig. of the display by the principle of this invention.

[Drawing 3] The timing chart of an indicating equipment is shown, (A) shows the tie MIG chart of X driver, and (B) shows the timing chart of Y driver.

[Drawing 4] It is the configuration explanatory view of X driver.

[Drawing 5] It is the circuitry Fig. of the gradation amendment section by the 1st example of this invention.

[Drawing 6] It is drawing showing the relation between the input of the selector 58 of the circuit of drawing 5, and an output.

[Drawing 7] It is the timing-chart Fig. of the circuit of drawing 5.

[Drawing 8] It is the graphical representation of the modulation characteristic by the gradation amendment section.

[Drawing 9] The gradation amendment section by the 2nd example of this invention is shown, (A) is the circuitry Fig. and (B) is drawing showing the relation between an input and an output in memory.

[Drawing 10] It is the outline block diagram of the conventional display.

[Description of Notations]

30 -- Display panel

32 -- X driver

34 -- Y driver

40 -- Gradation amendment section

48-48 -- PWM modulator

54-54 -- Control signal

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

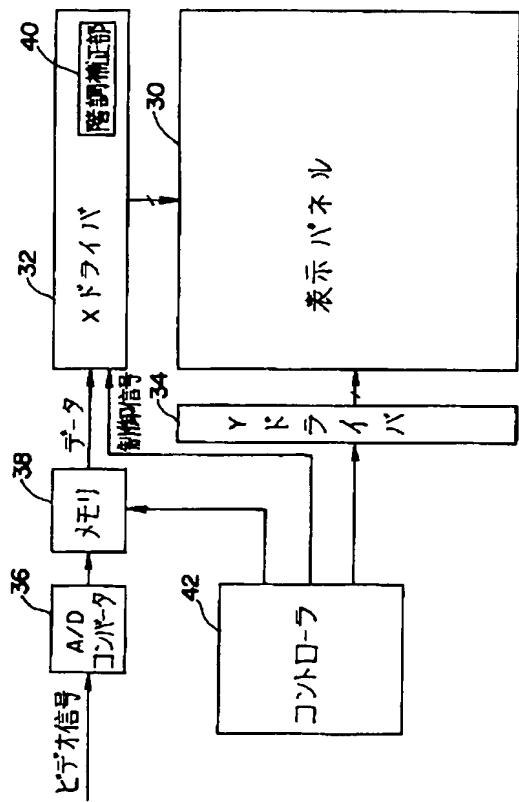
---

DRAWINGS

---

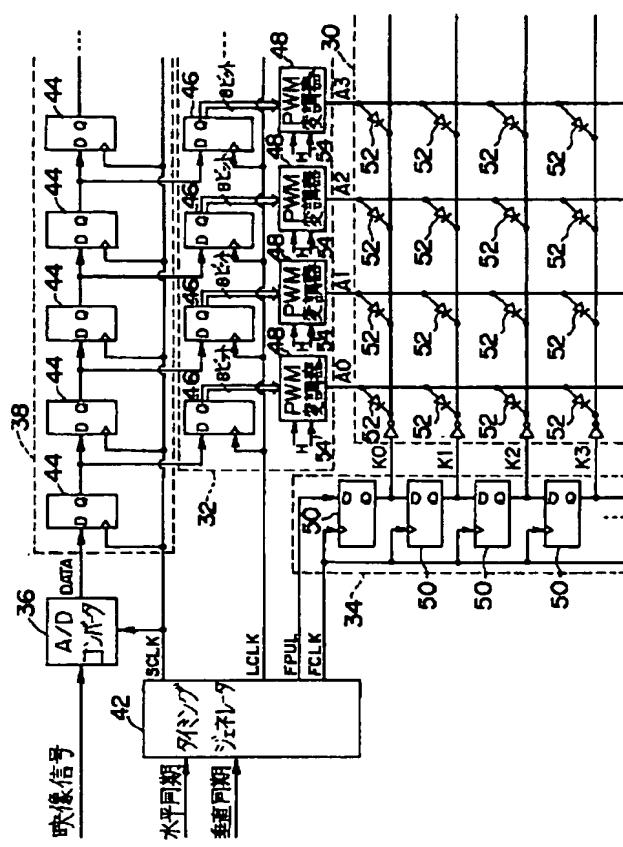
[Drawing 1]

本発明の原理による表示装置の概略構成

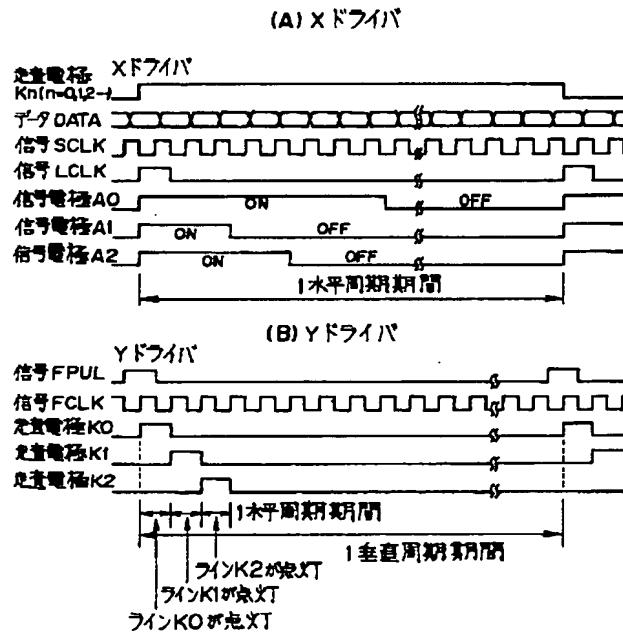


[Drawing 2]

本発明の原理による表示装置の回路図

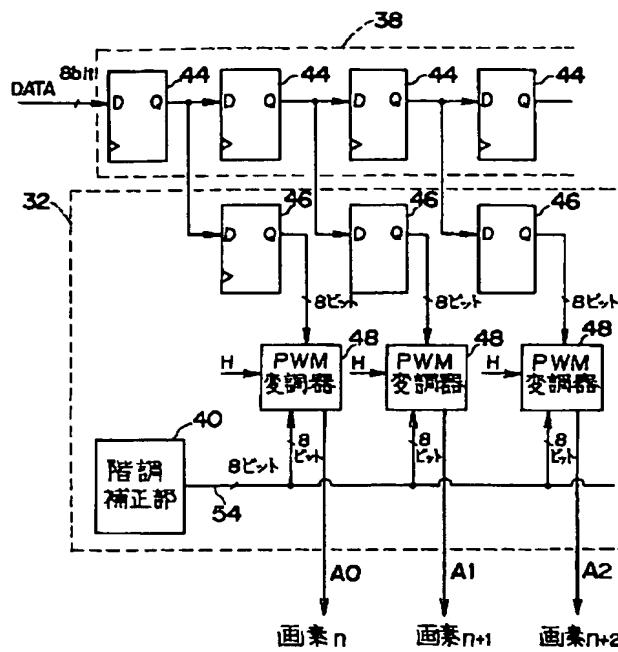


[Drawing 3] 表示装置のタイミングチャート

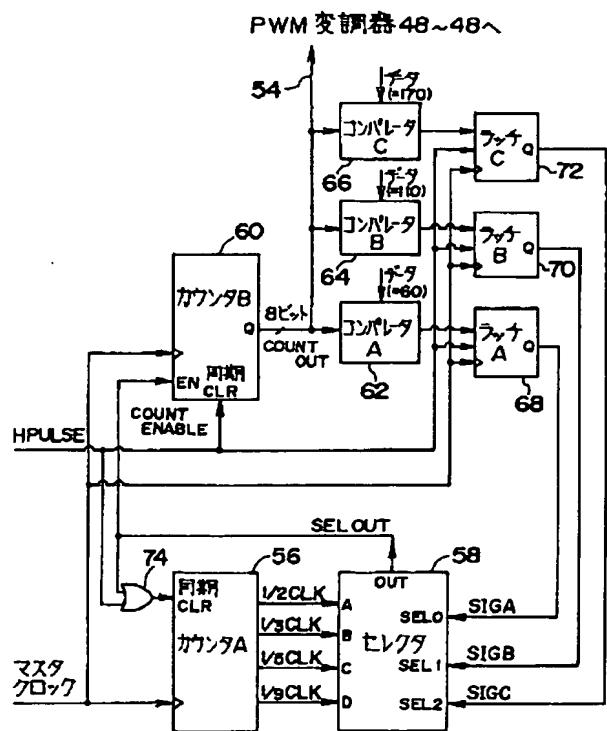


[Drawing 4]

## Xドライバの構成



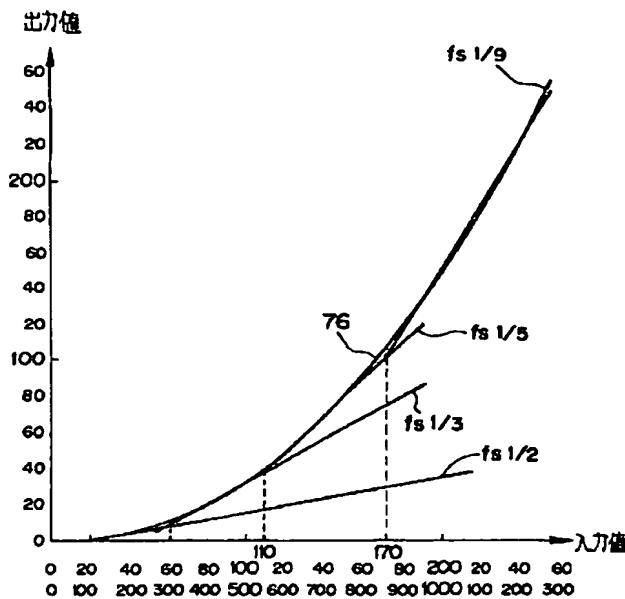
[Drawing 5]  
本発明の第1実施例により階調補正部の回路構成



[Drawing 6]  
図5の回路のセレクタ58の  
入力と出力との関係

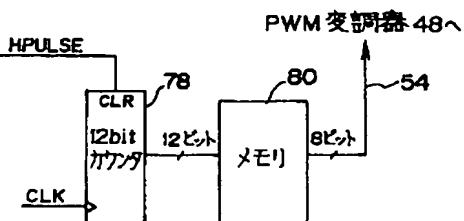
| 入力   |      |      | 出力          |
|------|------|------|-------------|
| SEL2 | SEL1 | SEL0 | OUT         |
| L    | L    | L    | A (1/2 CLK) |
| L    | L    | H    | B (1/3 CLK) |
| L    | H    | X    | C (1/5 CLK) |
| H    | X    | X    | D (1/9 CLK) |

[Drawing 8]  
階調補正部による変調特性のグラフ



[Drawing 9]  
本発明の第2実施例による階調補正部

(A) 回路構成

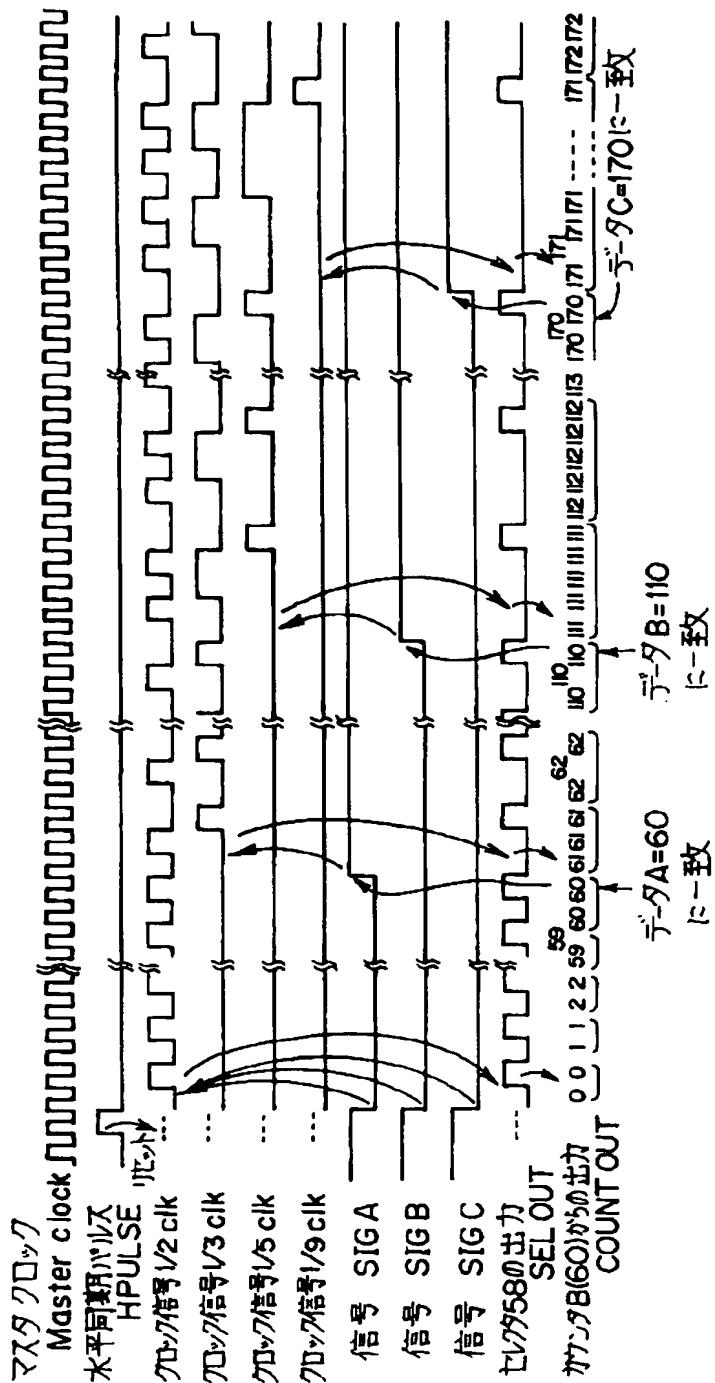


(B) メモリにおいて入力と出力との関係

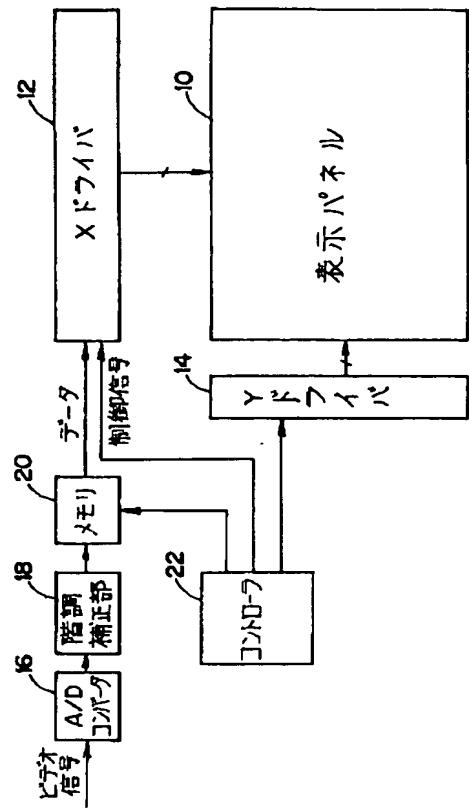
| メモリの入力 | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 |
|--------|---|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|----|----|----|----|----|
| メモリの出力 | 0 | 1 | 2 | 3 | 4 | 4 | 5 | 5 | 6 | 6 | 7  | 7  | 7  | 8  | 8  | 8  | 9  | 9  | 9  | 10 | 10 |

[Drawing 7]

図 5 の回路のタイミングチャート



従来の表示装置の概略構成



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-36405

(43)公開日 平成7年(1995)2月7日

(51)Int.Cl.<sup>8</sup>  
G 0 9 G 3/20

識別記号 庁内整理番号  
K 9378-5G

F I

技術表示箇所

審査請求 未請求 請求項の数1 O L (全7頁)

(21)出願番号

特願平5-178323

(22)出願日

平成5年(1993)7月19日

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 坂本 三直

埼玉県鶴ヶ島市富士見6丁目1番1号 バ

イオニア株式会社総合研究所内

(74)代理人 弁理士 石川 泰男

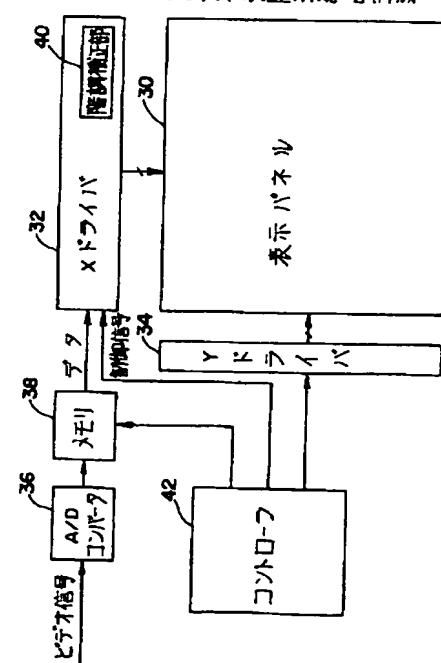
(54)【発明の名称】 表示装置の階調補正方式

(57)【要約】

【目的】 本発明は、表示装置の階調補正方式に関し、  
γ補正を適切に行うことができる表示装置の階調補正方  
式を提供することにある。

【構成】 入力されるデジタル映像信号に応じて階調信  
号を出力する変調手段と、該変調手段からの階調信号に  
基づいて表示を行う表示パネルと、変調手段に対し、デ  
ジタル映像信号から階調信号への非線形の階調補正を行  
わせる階調補正手段とを含むように構成する。

本発明の原理による表示装置の概略構成



(2)

1

**【特許請求の範囲】**

**【請求項1】** 入力されるデジタル映像信号に応じて階調信号を出力する変調手段と、該変調手段からの階調信号に基づいて表示を行う表示パネルと、前記変調手段に対し、デジタル映像信号から階調信号への非線形の階調補正を行わせる階調補正手段と、を含むことを特徴とする表示装置の階調補正方式。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、表示装置の階調補正方式に関する。

**【0002】**

**【従来の技術】** 図10には、従来の表示装置の概略構成が示されている。図10において、符号10は表示パネルを示し、該表示パネル10は、Xドライバ12及びYドライバ14により駆動される。一方、ビデオ信号は、A/Dコンバータ16及び階調補正部18を介してメモリ20に供給され、該メモリ20からのデータは、Xドライバ12に供給される。なお、Xドライバ12、Yドライバ14、及びメモリ20は、コントローラ22により制御される。

**【0003】**

**【発明が解決しようとする課題】** 図10において、階調補正部18は、デジタル映像信号に直接 $\gamma$ 補正を与えていたので、次のような問題があった。

**【0004】** ①実効的な階調数が大幅に減少する。例えば、入力側が256階調である場合に、出力側は183階調になる。

②例えば、元の入力信号の特性がリニアな場合に、補正後の信号では黒の階調がつぶれてしまう。

**【0005】** なお、アナログの映像信号に $\gamma$ 補正を与えると、次のような問題がある。

①補正量の調整が困難である。

②再現性がない。

**【0006】** ③経時変化がある。すなわち、補正カーブが変わる。

そこで、本発明の目的は、 $\gamma$ 補正を適切に行うことができる表示装置の階調補正方式を提供することにある。

**【0007】**

**【課題を解決するための手段】** 本発明は、入力されるデジタル映像信号に応じて階調信号を出力する変調手段と、該変調手段からの階調信号に基づいて表示を行う表示パネルと、前記変調手段に対し、デジタル映像信号から階調信号への非線形の階調補正を行わせる階調補正手段と、を含むことを特徴とする

**【0008】**

**【作用】** 従来の階調補正方式では、デジタル映像信号のデータを直接変換することにより $\gamma$ 補正を行っていたが、本発明による階調補正方式では、デジタルの映像信

2

号のデータに対してPWM(パルス幅変調)やPDM(パルス密度変調)を行う際に、所望の $\gamma$ 特性を持つように変調を行う。

**【0009】** この階調補正方式では、同期信号によりリセットされ、その後に入るパルス数と出力される値とが直線的に変化しない(すなわちノンリニアな)特性の回路を有する。変調回路では、このノンリニアな特性の回路の出力値と階調表示データ(映像信号)とを比較してPWMやPDMの信号を作成し、表示パネルを駆動する。

**【0010】** 本発明による階調補正方式によれば、次の利点が挙げられる。

①デジタル回路なので、経時変化がない。

②補正量の調整が容易である。

**【0011】** ③入力の階調数をほとんど全て有効に利用することが可能である。

従って、映像信号を入力したときに、ブラウン管の表示と同様に、画面の表示を総合で $\gamma = 1$ に近くなるように補正を行うことができ、より被写体に忠実な画像を再現することができる。

**【0012】**

**【実施例】** 以下、図面に基づいて本発明の好適な実施例を説明する。図1には、本発明の原理による表示装置の概略構成が示されている。

**【0013】** 図1において、符号30は、表示パネルを示し、該表示パネル30は、Xドライバ32及びYドライバ34により駆動される。一方、ビデオ信号は、A/Dコンバータ36を介してメモリ38に供給され、該メモリ38からのデータは、Xドライバ32に供給される。Xドライバ32内には、階調補正部40が設けられており、この階調補正部40は、Xドライバ32内の変調手段(図示せず)がデジタル映像信号を階調信号に変換する際に階調補正を行う。なお、Xドライバ32、Yドライバ34、及びメモリ38は、コントローラ42により制御される。

**【0014】** 図2には、本発明の原理による表示装置の回路構成が示されている。図2において、映像信号は、A/Dコンバータ36を介してメモリとしてのシフトレジスタ38に供給され、該シフトレジスタ38は、複数のフリップフロップ回路(以下FFという)44~44を含む。シフトレジスタ38内のFF44~44からの信号は、Xドライバ40内でFF46~46を介してPWM変調器48~48に供給される。PWM変調器48~48からの信号(輝度データに対応したパルス幅を示すアナログ信号)は、信号電極A0、A1、A2、A3、…に供給され、一方、Yドライバ34内のFF50~50からの信号は、走査電極K0、K1、K2、K3、…に供給され、これらの信号電極A0、A1、A2、A3、…及び走査電極K0、K1、K2、K3、…により、表示パネル30のマトリクスが構成される。

(3)

3

表示パネル30において、信号電極A<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>、…と走査電極K<sub>0</sub>、K<sub>1</sub>、K<sub>2</sub>、K<sub>3</sub>、…との交点部分では、信号電極A<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>、…及び走査電極K<sub>0</sub>、K<sub>1</sub>、K<sub>2</sub>、K<sub>3</sub>、…に発光素子52～52が接続されている。

【0015】コントローラとしてのタイミングジェネレータ42は、水平同期信号及び垂直同期信号を受け取り、信号SCLK、LCLK、FPUL、及びFCLKを出力する。信号SCLKは、A/Dコンバータ36及びシフトレジスタ38内のFF44～44に供給され、信号LCLKは、Xドライバ40内のFF46～46に供給され、信号FPUL及びFCLKは、Yドライバ34内のFF50～50に供給される。

【0016】前記Xドライバ40内のPWM変調器48～48には、水平同期信号H～Hが供給されるとともに、階調補正部40（図1参照）からの制御信号54～54が供給される。この階調補正部40は、γ補正用の補正部である。

【0017】図3には、図2の表示装置のタイミングチャートが示されている。図3（A）のXドライバのタイミングチャートを説明すると、映像信号をA/Dコンバータ36でA/D変換してサンプリングする毎に、A/D変換されたデータDATAは、信号SCLKにより、シフトレジスタ38内のFF44～44に順次シフトされる。そして、1水平周期期間のデータDATAが全てFF44～44に送られると、信号LCLKにより、FF44～44内のデータは、Xドライバ32内のFF46～46を介してPWM変調器48～48に供給される。PWM変調器48～48は、送られたデータをPWM変調し、データに対応する長さのパルスを信号電極A<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>、A<sub>3</sub>、…に出力する。

【0018】図3（B）のYドライバのタイミングチャートを説明すると、信号FPULは、垂直同期期間に1回“High”レベルになり、信号FCLKにより、信号FPULのパルスが走査電極（ライン）K<sub>0</sub>、K<sub>1</sub>、K<sub>2</sub>、K<sub>3</sub>、…に順次転送されて行く。そして、走査ラインKn（n=0, 1, 2, 3, …）が“High”レベルのとき、そのラインKnが点灯することになる。なお、信号FCLKは、1水平周期期間に1回パルスを出力し、信号FPULは、1垂直同期期間に1回パルスを出力する。

【0019】図4には、図2の表示装置のXドライバが示されており、図2に関連して説明したように、PWM変調器48～48は、階調補正部40からの制御信号54により、制御される。以下、階調補正部40について詳述する。

【0020】図5には、本発明の第1実施例による階調補正部の回路構成が示されている。図5において、階調補正部40は、カウンタ（56）、セレクタ58、カウンタB（60）、コンパレータA（62）、コンパレータB（64）、コンパレータC（66）、ラッチA（68）、ラッチB（70）、ラッチC（72）、オアゲート（74）を含む。なお、階調補正部40は、水平同期パルスHPULSEの1周期を回路の1表示周期としての動作する。また、表示階調数は8ビット（256階調）であり、マスタクロックは、その表示周期の256×5倍のクロックを使用する。このように、クロックを高速にする程、高度な階調補正が可能である。

4

タB（64）、コンパレータC（66）、ラッチA（68）、ラッチB（70）、ラッチC（72）、オアゲート（74）を含む。なお、階調補正部40は、水平同期パルスHPULSEの1周期を回路の1表示周期としての動作する。また、表示階調数は8ビット（256階調）であり、マスタクロックは、その表示周期の256×5倍のクロックを使用する。このように、クロックを高速にする程、高度な階調補正が可能である。

【0021】カウンタA（56）は、セレクタ58の入力端子A、B、C、Dにそれぞれ信号1/2CLK、1/3CLK、1/5CLK、1/9CLKを供給し、セレクタ58は、セクト端子SEL<sub>0</sub>、SEL<sub>1</sub>、SEL<sub>2</sub>の状態に応じて、信号1/2CLK、1/3CLK、1/5CLK、1/9CLKのうちいずれか1つの信号を出力端子OUTから出力する。このセレクタ58の入力と出力との関係が図6に示されており、セレクト端子SEL<sub>0</sub>、SEL<sub>1</sub>、SEL<sub>2</sub>が全て“L”レベルであると、出力端子OUTからは、入力端子Aの信号1/2CLKが出力され、セレクト端子SEL<sub>0</sub>、SEL<sub>1</sub>、SEL<sub>2</sub>が順次“H”レベルになると、出力端子OUTからは、入力端子B、C、Dの信号1/3CLK、1/5CLK、1/9CLKが順次出力される。

【0022】セレクタ58の出力端子OUTからの出力は、オアゲート74を介してカウンタA（56）の同期CLR端子に供給されるとともに、カウンタB（60）のEN端子に供給される。カウンタB（60）のQ端子からの出力は、制御信号54としてPWM変調器48～48に供給されるとともに、コンパレータA（62）、コンパレータB（64）、コンパレータC（66）に供給される。コンパレータ62、64、66には、比較のための基準信号として、それぞれデータA、B、Cが供給されており、ここで、データA=60、データB=110、データC=170である。コンパレータ62、64、66からの比較出力は、それぞれラッチA（68）、ラッチB（70）、ラッチC（72）のセット端子Sに供給され、該ラッチ68、70、72からの出力SIGA、SIGB、SIGCは、それぞれ前記セレクタ58のセレクト端子SEL<sub>0</sub>、SEL<sub>1</sub>、SEL<sub>2</sub>に供給される。

【0023】上記図5の階調補正部の作用を図7のタイミングチャートを参照しながら説明する。まず、1表示周期の初めに、水平同期パルスHPULSEが“H”レベルになると、カウンタA（56）、カウンタB（60）、ラッチA（68）、ラッチB（70）、ラッチC（72）をリセット（初期化）する。これにより、ラッチ68、70、72の出力SIGA、SIGB、SIGCは、全て“L”レベルになり、セレクタ58からの出力OUTからは、クロック信号1/2CLKが出力される（図6参照）。このクロック信号1/2CLKは、マスタクロックMaster clockの2クロックについて1回

(4)

5

“H” レベルになる信号であるので、カウンタB (60) は、マスタクロック Master clock の 2 クロックに 1 回カウントアップすることになる。このカウンタB (60) からのカウント出力 count out (0, 0, 1, 1, 2, 2, … 59, 59, 60, 60) は、制御信号 54 として PWM 变調器 48～48 に供給されるとともに、コンパレータ 62, 64, 66 に供給される。

【0024】カウンタB (60) からのカウント出力 count out がデータ A (= 60) と一致すると、コンパレータ 62 の出力は “H” レベルになり、更に、マスタクロック Master clock が “H” レベルになると、ラッチA (68) の出力 S I G A は、“H” レベルになる。これにより、セレクタ 58 の出力 OUT からは、クロック信号 1/2 CLK に代わって、クロック信号 1/3 CLK が出力され（図 6 参照）、カウンタB (60) は、このクロック信号 1/3 CLK をカウントするので、カウンタB (60) からのカウント出力 count out は、61, 61, 61, 62, 62, 62, … のようになる。

【0025】以上のようにして、セレクタ 58 の出力 OUT からのクロック信号の 1 周期を順次長くして、カウンタB (60) のカウント間隔を長くして行くことにより、カウンタB (60) からのカウント出力 count out すなわち PWM 变調器 48～48 への制御信号 54 に、ノンリニアな特性を持たせることができる。

【0026】なお、図 8 には、上記第 1 実施例の階調補正部による変調特性のグラフが示されている。この図 8 は、パルス幅に対してリニアに輝度が変化する発光素子を駆動する場合の設計例を示す。

【0027】図 8において、理想的な変調特性は、符号 76 で示され、第 1 実施例の階調補正部によれば出力値は、入力値 0～60 の範囲では、クロック信号 1/2 CLK に基づく直線  $f_s 1/2$  で近似され、入力値 61～110 の範囲では、クロック信号 1/3 CLK に基づく直線  $f_s 1/3$  で近似され、以下、同様にして直線  $f_s 1/5$ ,  $f_s 1/9$  で近似されている。

【0028】以上の第 1 実施例の階調補正部によれば、クロック信号の分周比を変更することにより所望の変調特性を得ることができるので、設定するデータが少なく、且つ、回路規模が小さいという利点を有する。

【0029】次に、図 9 には、本発明の第 2 実施例による階調補正部が示されている。図 9 (A) の回路構成において、12ビットカウンタ 78 には、リセット用の水平同期信号 H P U L S E 及びカウント用のクロック信号 CLK が供給され、該カウンタ 78 からのカウント出力は、メモリ 80 に供給され、メモリ 78 は、このカウント出力に応じた値を制御信号 54 として PWM 变調器 48～48 に供給する。すなわち、メモリ 80 は、図 9

6

(B) に示される変換テーブルを有しており、カウンタ 78 からのカウント出力（すなわちメモリ入力）に対応した変換テーブルの値を制御信号 54 として出力することとなる。

【0030】以上の第 2 実施例の階調補正部では、カウンタ 78 の出力データに基づいてメモリ（ROM 又は RAM）80 の変換テーブルから制御信号 54 を出力させ、該制御信号 54 に基づいて、PWM 变調器 48～48 からの出力データを制御する。この場合、カウンタ 78 のビット数は、12ビットであり、階調表示データのビット数（8ビット）よりも多いので、多ビット数（12ビット）のカウンタ 78 の出力に基づいて少ないビット数（8ビット）のメモリ 80 で変化を行うことになり、これにより、多くのデータを細かく設定することができる。この結果、階調補正部による変調特性は、図 8 の理想的な変調特性 76 に近づけることができる。

【0031】

【発明の効果】以上説明したように、本発明によれば、変調手段に対し、デジタル映像信号からの階調信号への非線形の階調補正を行わせているので、γ補正を適切に行うことができる。

【図面の簡単な説明】

【図 1】本発明の原理による表示装置の概略構成図である。

【図 2】本発明の原理による表示装置の回路構成図である。

【図 3】表示装置のタイミングチャートを示し、(A) は X ドライバのタイミングチャートを示し、(B) は Y ドライバのタイミングチャートを示す。

【図 4】X ドライバの構成説明図である。

【図 5】本発明の第 1 実施例による階調補正部の回路構成図である。

【図 6】図 5 の回路のセレクタ 58 の入力と出力との関係を示す図である。

【図 7】図 5 の回路のタイミングチャート図である。

【図 8】階調補正部による変調特性のグラフ図である。

【図 9】本発明の第 2 実施例による階調補正部を示し、(A) はその回路構成図であり、(B) はメモリにおいて入力と出力との関係を示す図である。

【図 10】従来の表示装置の概略構成図である。

【符号の説明】

30…表示パネル

32…X ドライバ

34…Y ドライバ

40…階調補正部

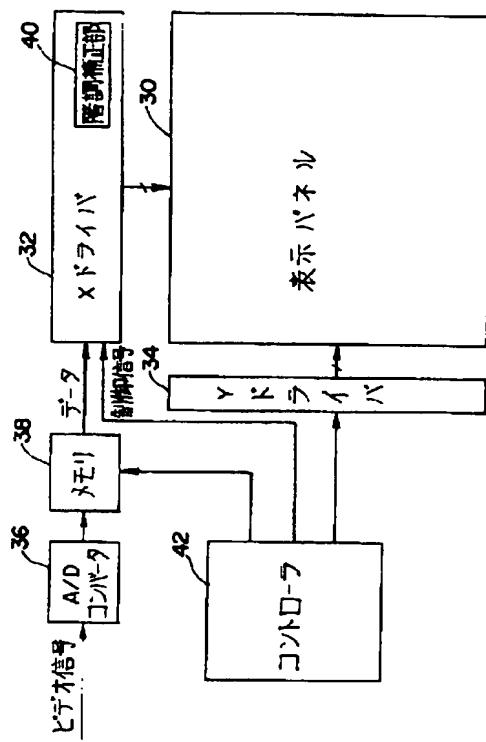
48～48…PWM 变調器

54～54…制御信号

(5)

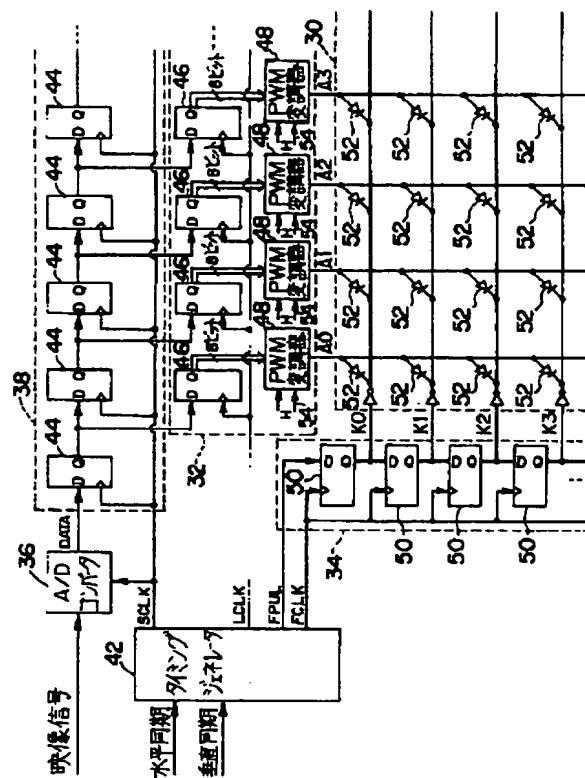
【図 1】

本発明の原理による表示装置の概略構成



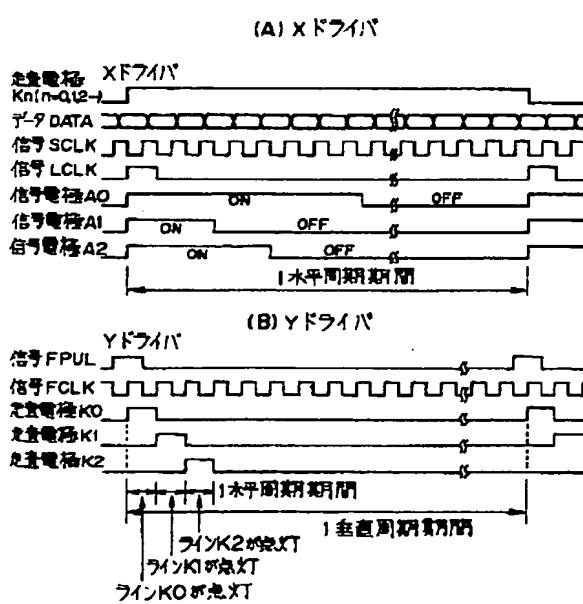
【図 2】

本発明の原理による表示装置の回路図



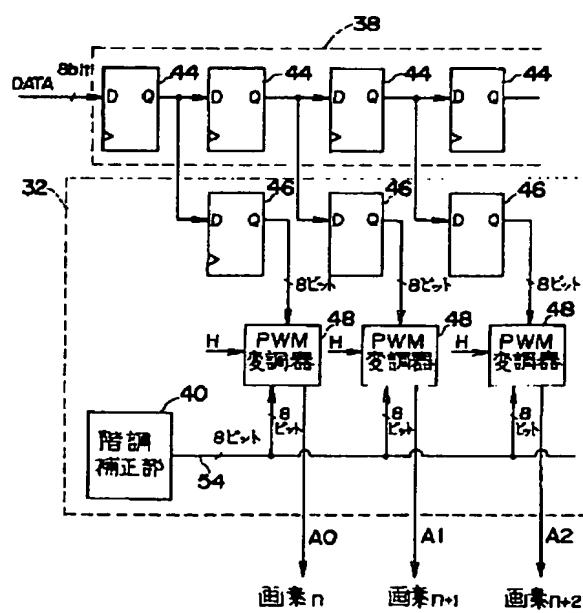
【図 3】

表示装置のタイミングチャート



【図 4】

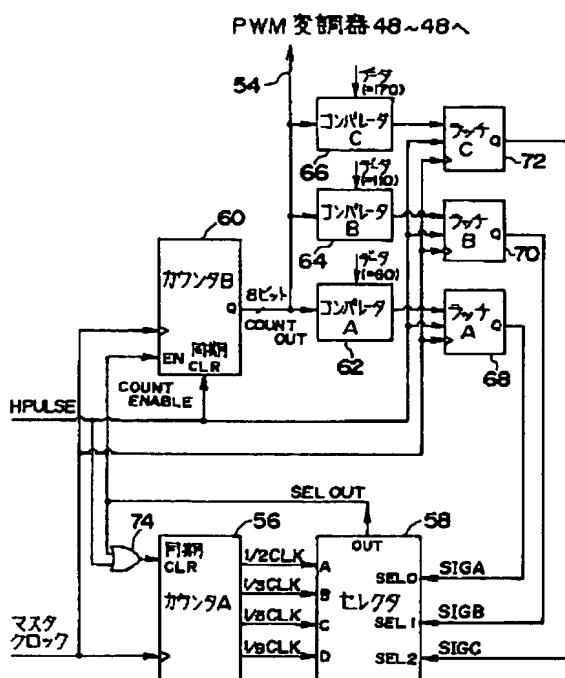
X ドライバの構成



(6)

【図5】

本発明の第1実施例による階調補正部の回路構成



【図6】

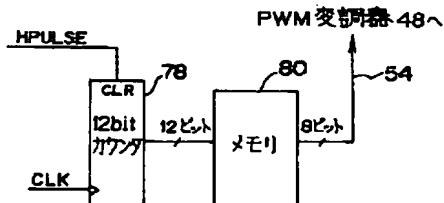
図5の回路のセレクタ58の入力と出力との関係

| 入力   |      |      | 出力          |
|------|------|------|-------------|
| SEL2 | SEL1 | SEL0 | OUT         |
| L    | L    | L    | A (1/2 CLK) |
| L    | L    | H    | B (1/3 CLK) |
| L    | H    | X    | C (1/5 CLK) |
| H    | X    | X    | D (1/9 CLK) |

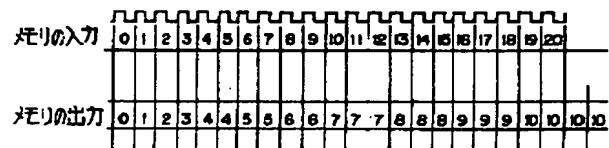
【図9】

本発明の第2実施例による階調補正部

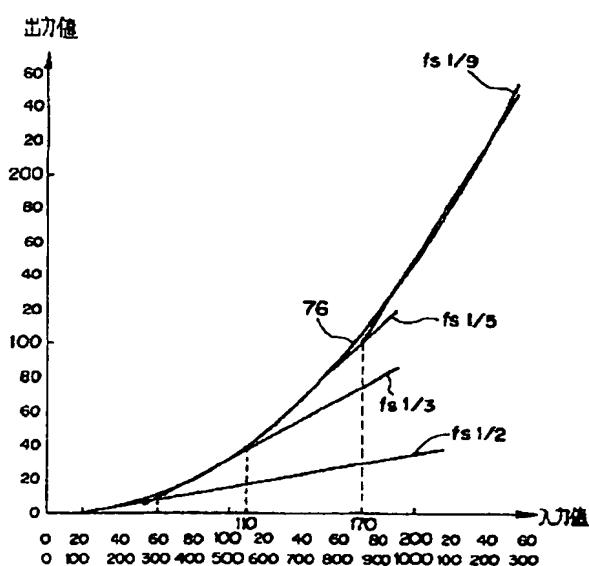
## (A) 回路構成



## (B) メモリにおいて入力と出力との関係

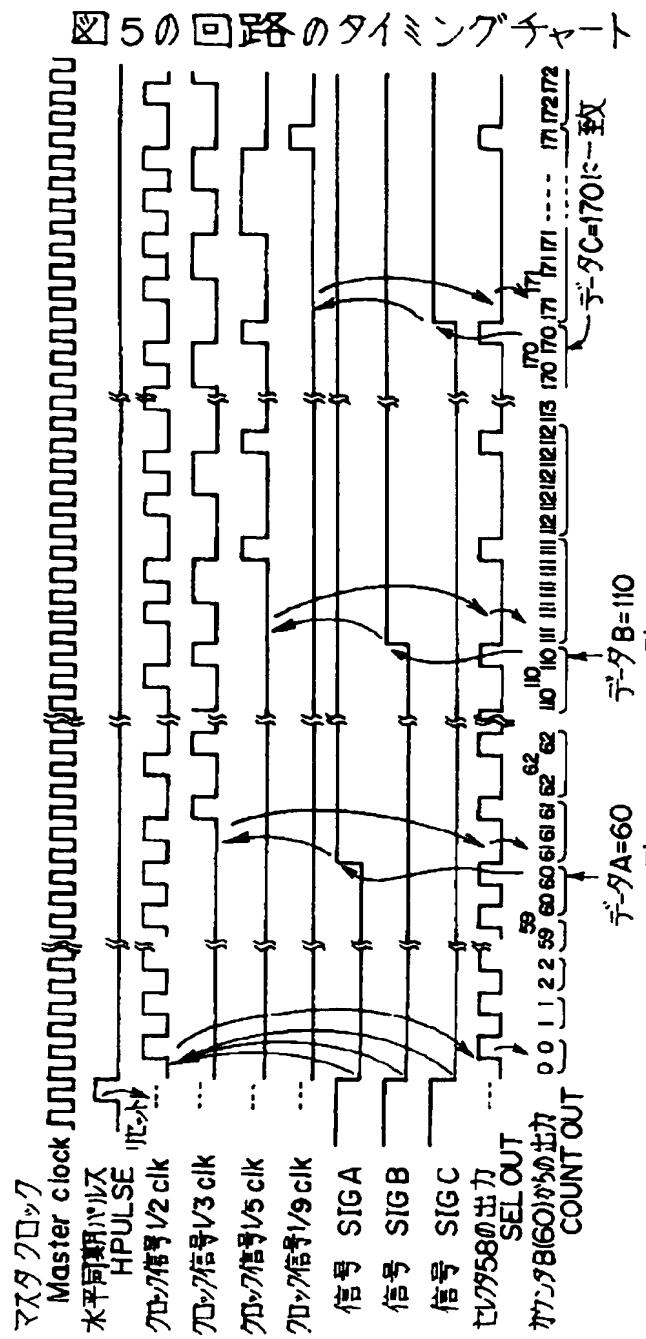


階調補正部による変調特性のグラフ



(7)

【図 7】



【図 10】

従来の表示装置の概略構成

